

technikum29

Eurocomp

LGP 21

**Schnellspeicher und
Indexregister**

**Eurocomp GmbH
Elektronische Rechenanlagen
Minden/Westf.**



SCHOPPE & FAESER GMBH

Abt. *Eurocomp*

ELEKTRONISCHE RECHENANLAGEN · MINDEN/WESTF.

PROGRAMM-
BESCHREIBUNG

LGP 21

Schnellspeicher und Indexregister

Zweck

Die Schnellspeicher ermöglichen die Zwischenspeicherung einzelner Worte mit Zugriffszeit Null sowohl beim Schreiben als auch beim Lesen.

Das Indexregister ermöglicht die Addition einer Konstanten zur Operandenadresse eines besonders gekennzeichneten (indizierten) Befehls kurz vor der Befehlsausführung.

Damit können Programmschleifen wesentlich besser optimiert werden, da sowohl die Anzahl der Befehle als auch die Ausführungszeit erheblich reduziert werden. Insbesondere kommt die bei Benutzung von Modell 81 mögliche Geschwindigkeitssteigerung beim Arbeiten im "tag mode" erst bei gleichzeitiger Benutzung auch der Schnellspeicher und des Indexregisters voll zur Wirkung.

Wirkungsweise

Die Schnellspeicherkarte enthält 4 Schnellspeicher-Register von 32 Bit Länge. Jeder Schnellspeicher ist durch eine spezielle Spuradresse wie eine Hauptspeicherzelle ansprechbar. Die Schnellspeicher verkehren direkt mit dem Akkumulator; alle Befehle, die sich bei normaler Adresse auf eine Hauptspeicherzelle beziehen, wirken bei Ersatz der Spuradresse durch eine Schnellspeicheradresse direkt auf den Schnellspeicher.

Zusätzlich kann der 1. Schnellspeicher zu seiner normalen Funktion auch als Indexregister verwendet werden. In diesem Fall wird der Adressenteil (Bit 18 - 29) des Schnellspeichers 1 zur Operandenadresse eines indizierten Befehls während der Phase 2 (Überführung des Befehls in das Befehlsregister) addiert, so daß in Phase 3 die modifizierte Operandenadresse gesucht wird.

Ein indizierter Befehl ist durch eine 1 ⊕ 30 gekennzeichnet.

Aufbau

Die Schnellspeicher sind zum Teil in integrierter Schaltungstechnik ausgeführt und lassen sich nachträglich leicht in jeden LGP-21 mit normaler oder doppelter Speicherkapazität einbauen.

Programmierung

1. Hexadezimale Schnellspeicheradressierung

a) bei normaler Speicherkapazität

Schnellspeicher Nr.	Hexadezimale Spur-Nr.	
1	40	1 @ 17
2	42	1 @ 17 und 1 @ 22
3	44	1 @ 17 und 1 @ 21
4	46	1 @ 17 und 1 @ 21 und 1 @ 22
Indizierung		1 @ 30

b) bei doppelter Speicherkapazität

Schnellspeicher Nr.	Hexadezimale Spur-Nr.	
1	80	1 @ 16
2	82	1 @ 16 und 1 @ 22
3	84	1 @ 16 und 1 @ 21
4	86	1 @ 16 und 1 @ 21 und 1 @ 22
Indizierung		1 @ 30

Je nach Speichergröße sind in den vorstehenden Tabellen die hexadezimalen Spuradressen für die Auswahl der einzelnen Schnellspeicher festgelegt.

Im Gegensatz dazu kann die Sektoradresse frei gewählt werden, die allerdings bei der Befehlsausführung eine wichtige Rolle spielt.

Bezieht sich ein Befehl auf einen Schnellspeicher, so wird er erst dann ausgeführt, wenn die betreffende Sektoradresse auf der Scheibe gefunden worden ist.

Es ist also wichtig, daß die Operanden-Sektoradresse eines Schnellspeicherbefehls immer optimal zur Befehlsadresse liegt, damit unnötige Zugriffszeiten vermieden werden.



SCHOPPE & FAESER GMBH

Abt. *Eurocomp*

ELEKTRONISCHE RECHENANLAGEN · MINDEN/WESTF.

PROGRAMM-
BESCHREIBUNG

LGP 21

Schnellspeicher und Indexregister

2. Dezimale Schnellspeicheradressierung

Mit den Programmeingabeprogrammen SF-J1-2130 (für normalen LGP-21) und SF-J1-2130 D (für LGP-21 mit doppelter Speicherkapazität) ist es möglich, die Schnellspeicheradressen einfach in dezimaler Form in den betreffenden Befehlen einzugeben.

Es gilt folgende Schreibweise:

Schnellspeicher-Nr.	Operandenadresse dezimal
1	S100
2	S200
3	S300
4	S400

Die optimale Sektoradresse wird von den Programmeingabeprogrammen automatisch richtig eingesetzt. Soll z.B. der Inhalt des Akkumulators in den Schnellspeicher 2 übertragen werden, so geschieht das mit dem Befehl xHS200.

Das Symbol x zeigt in üblicher Weise an, daß die Operandenadresse absolut ist, d.h. nicht durch den Modifier beim Abspeichern des Programmes verändert wird. In diesem Fall, d.h. immer dann, wenn eine Schnellspeicheradresse als Operandenadresse benutzt wird, kann das x auch entfallen, da das Programm in jedem Fall eine Schnellspeicheradresse nicht modifiziert.

Wird der Schnellspeicher 1 auch als Indexregister benutzt, so werden die indizierten Befehle bei der Programmeingabe durch das Symbol i gekennzeichnet. Da ein indizierter Befehl eine absolute oder relative Operandenadresse haben kann, gibt es folgende Möglichkeiten:

- a) Beim Speichern des indizierten Befehls iH2000 mit der Programmeingabe SF-J1-2130 oder SF-J1-2130 D werden zur Operandenadresse der vorher eingegebene Modifikator und eine 1 @ 30 addiert. Bei der

Ausführung des Befehls wird außerdem die Operandenadresse um den jeweiligen Inhalt des Indexregisters (Schnellspeicher 1) erhöht.

- b) Ein Befehl xiH2000 bedeutet, daß beim Speichern die Operandenadresse nicht modifiziert, sondern nur eine 1 @ 30 zum Befehlsword addiert wird. Vor jeder Ausführung dieses Befehls wird die Operandenadresse 2000 um den Inhalt des Indexregisters vermehrt.

Für die Benutzung der Schnellspeicher sind alle Befehle zugelassen, die den Hauptspeicher ansprechen. Nicht genommen werden dürfen dagegen die Sprungbefehle T und U, der Haltebefehl Z, der Eingabebefehl I und der Druckbefehl P, weil deren Adressteil keine Hauptspeicherzelle anspricht, sondern von Fall zu Fall ganz andere Bedeutung hat.

Die Indizierung ist bei allen Befehlen des LGP-21 wirksam, bei I, P und Z ist sie aber sinnlos. Bei Sprung- und Testbefehlen kann eine Indizierung durchaus sinnvoll sein.

Anmerkung :

Außerdem muß beachtet werden, daß vorhandene Programme für die Normalausführung des LGP-21 eventuell auf einem Rechner mit Schnellspeicher und Indexregister nicht laufen, wenn in irgendwelchen Befehlsworten dieser Programme zwischen Befehlssymbol und Operandenadresse die Bits 16 und 17 nicht 0 sind oder wenn nach der Adresse noch eine 1 @ 30 steht.

Beispiele

- 1.) Unterprogramm für die Berechnung der Quadratwurzel

Benutzte Formel:

$$x_{i+1} = x_i + (-1/2) (-a/x_i + x_i)$$

Von 51 Speicherplätzen für Befehle und Konstanten werden bei Benutzung von 2 Schnellspeichern 11 Speicherplätze gespart. Die Geschwindigkeit wird dabei um 25 % erhöht.

0000	HS100	a → S100
01	T0031	a < 0
02	S0031	1 @ 30
03	T0032	a = 0
04	S0012	1 @ 14 - 1 @ 30
05	T0027	a < 1 @ 14



SCHOPPE & FAESER GMBH

Abt. Eurocomp

ELEKTRONISCHE RECHENANLAGEN - MINDEN WESTF.

PROGRAMM-
BESCHREIBUNG

LGP 21

Schnellspeicher und Indexregister

06	S0035	1 @ 7 - 1 @ 14
07	T0038	a < 1 @ 7
08	B0016	Anfangswert 1
09	U0018	
10	G504W28	Anfangswert 2
11	J0000000	- 1/2 @ 0
12	1WWWQ	1 @ 14 - 1 @ 30
13	1WQ00	1 @ 14 - 1 @ 22
14	B0036	Anfangswert 4
15	U0018	
16	7WWWWWQ	Anfangswert 1
17	AS200	x_1
18	CS200	x_1
19	SS100	a
20	DS200	x_1
21	AS200	x_1
22	M0011	- 1/2 @ 0
23	T0017	
24	BS200	x_1
25	U[]	UP. Ausgang
26		
27	A0013	1 @ 14 - 1 @ 22
28	T0014	
29	B0037	Anfangswert 3
30	U0018	
31	2	1 @ 30 Error Stop
32	CS100	a = 0
33	U0025	
34		
35	WQ0000	1 @ 7 - 1 @ 14
36	WWWQ	Anfangswert 4

37	WWWQ	Anfangswert 3
38	BO010	Anfangswert 2
39	U0018	

2.) Berechnung des arithmetischen Mittelwertes

Es werden dabei 2 Schnellspeicher benutzt, wobei der Schnellspeicher 1 als Indexregister gebraucht wird.

Benutzte Formel:

$$m = \frac{\sum_{i=1}^n a_i}{n}$$

Die Werte für a_i @ 30 sollen ab 2000 gespeichert sein und n @ 11 soll auf dem Speicherplatz 1952 stehen.

Das Programm beginnt in Spur 10.

1000	CS200	0 → rA
01	CS200	0 → sum (Schnellspeicher 2)
02	S1952	n @ 11
03	CS100	- n @ 11 (Schnellspeicher 1)
04	1B2000	a_i @ 30
05	AS200	sum @ 30
06	CS200	sum @ 30
07	BS100	Schnellspeicher 1 + Indexregister
08	A1016	1 @ 11 + 1 @ 29
09	T1003	
10	U1012	
11		
12	BS200	sum @ 30
13	D1952	n @ 11
14	HS200	m @ 19
15		
16	100004	1 @ 11 + 1 @ 29

Funktionsbeschreibung für Schnellspeicher und Indexregister

1. Allgemein:

Schnellspeicher und Indexregister setzen sich zusammen aus der Zusammenschaltung von:

1 Umlaufkopf für 1 Wort (i.f. Schnellspeicher 1)	}	x
1 Umlaufkopf für 2 Worte (i.f. Schnellspeicher 2)		
2 Lesevorverstärkern		
1 Karte 2fach LSV ✓	Z.-Nr.	80 617
1 Karte S4/Q5-Flip-Flop ✓	Z.-Nr.	80 620
1 Karte S5/Q8-Flip-Flop ✓	Z.-Nr.	80 790
1 Karte Schnellspeicher-Logik 1 ✓	Z.-Nr.	80 792
1 Karte Index-Logik 1 ✓	Z.-Nr.	80 816
2 Karten 3fach-Flip-Flop 3 ✓	Z.-Nr.	80 791

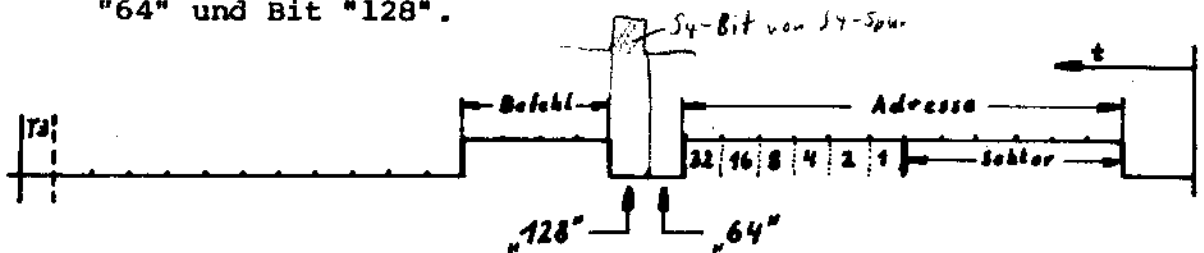
und ihrer Verschaltung mit der LGP-21-Logik.

Die logischen Gleichungen sind den entsprechenden Datenblättern zu entnehmen. Die Gesamtübersicht ergibt sich aus dem Blockschaltbild für EC 84/3 I, Z.-Nr. 88 028 Schem 1-x (2)

Lesen und Schreiben in die Umlaufspeicherköpfe funktionieren wie bei den Registern A, A*, C und R und werden nicht besonders aufgeführt.

2. Schnellspeicher:

Die Schnellspeicherlogik benutzt zum Ansprechen der Schnellspeicher die beiden Bits zwischen Befehl und Adresse; wenn man die Wertigkeit der Spuradressenbits fortsetzt, also Bit "64" und Bit "128".



Das "128"er Bit wird durch die Karte S4/Q5 Flip-Flop, das "64"er Bit durch die Karte S5/Q8-Flip-Flop entschlüsselt.

S4 entspricht einem Analoagsignal auf der Speicherplatte (S4-Spur). Es erscheint genau in der Mitte einer Wortzeit

X = 00 01 02 03 04 05 06 07 08 09

Eurocomp
GmbH
ELEKTRONISCHE RECHENANLAGEN
Minden (Westf.)

Funktionsbeschreibung
für EC 84/3 I

88 028 Db 1-x
(4)

besteht aus 4 Bl. Blatt 1

Dieses Exemplar wird bei Änderung der Originalzeichnung nicht ersetzt
Ausgabe am: 17. April 1967

24. II. 66

Zehl

(nur einmal ist S 4 zur T3-Zeit aufgebracht, um den Scheibenumfang zu markieren) und charakterisiert das "128"er Bit.

S5 gibt S2 um 1 Bit nach links verschoben wieder. Damit charakterisiert S5 S2 das "64"er Bit.

Der Zyklusablauf bei Schnellspeicherbefehlen ist zunächst ganz normal:

- Ø 1: Suche nach dem neuen Befehl
- Ø 2: (1 WZ) Befehl wird aus Hauptspeicher ins R-Register geschrieben
- Ø 3: Auf den Befehl wird entschlüsselt, und der Operand wird gesucht:

Hier wird der Schnellspeicher angesprochen:

Ist zur T3 S4-Zeit in R eine "1", wird Q5 gesetzt bzw. ist zur S5 S2-Zeit in R eine "1", wird Q8 gesetzt.

Q5' = F G H T3 R S4 128-Bit

Q8' = F G H R S5 S2 64-Bit

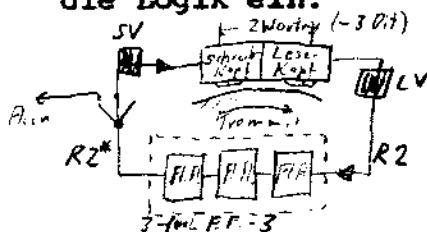
Da der Schnellspeicher einen Hauptspeicherplatz ohne Zugriffszeit darstellt, gibt es keine eigentliche Operandenadresse; zweckmäßig wird sie daher immer optimal liegen.

- Ø 4: Befehl wird entsprechend der Lage von Q5 und Q8 ausgeführt.

Man hat also 4 Befehlstypen, die durch die Lage von Q5 und Q8 gekennzeichnet sind:

- a) Q5 Q8 → normale Befehle ✓
- b) Q5 Q8 → Befehle für Schnellspeicher 1 (mit "128"er Bit)
- c) Q5 Q8 → Befehle für Schnellspeicher 2 (2 Wort-Kopf) (mit "64"er Bit)
- d) Q5 Q8 → Befehle für den externen Puffer

An dieser Stelle sei noch bemerkt, daß beim Schnellspeicher 2 (2-Wort-Umlaufkopf) wegen der doppelten Wortlänge das "vordere" oder "hintere" Wort durch gerade oder ungerade Spüradresse angesprochen wird. Da der 2-Wort-Kopf auf der "Pufferspur" - also weiter außen als die normale Umlaufspur - liegt, und dort die Bitdichte geringer ist, wurden dem gelesenen Signal R2 noch 3 Flip-Flops (Karte 3fach-Flip-Flop 3) nachgeschaltet. Damit wurden Fertigungstoleranzen ausgeschaltet und die doppelte Wortlänge von 64 Bit erreicht. Das eigentlich gelesene Signal R2 geht also erst mit 3 Bit Verzögerung als R2* in die Logik ein.



X = 00 01 02 03 04 05 06 07 08 0

Dieses Exemplar wird bei Änderungen der Originalzeichnung nicht ersetzt
Ausgabe am: 17. April 1967

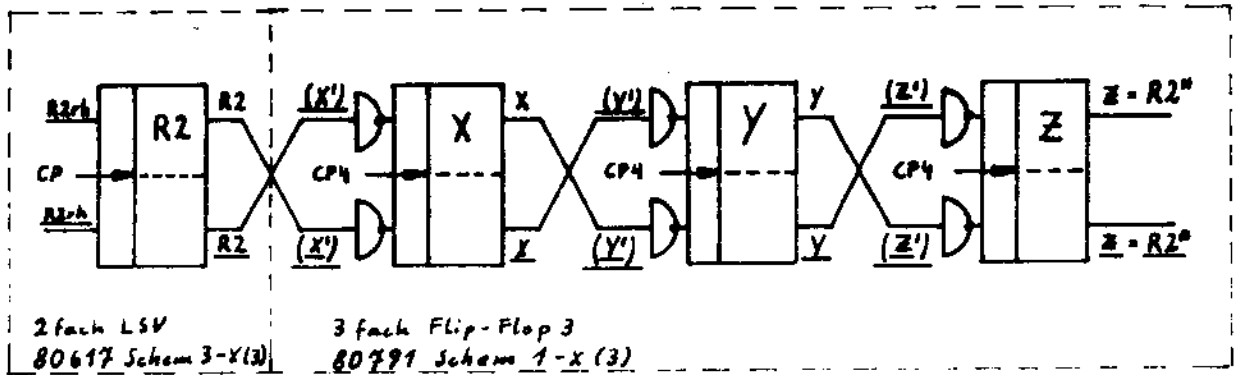
24. II. 66
Zahl

Eurocomp
G m b H
ELEKTRONISCHE RECHENANLAGEN
Minden (Westf.)

Funktionsbeschreibung
für EC 84/3 I

88 028 Db 1-x
(4)

besteht aus 4 Bl. Blatt 2



Bei Schnellspeicherbefehlen, die vom Akku zum ^{Schnellspeicher} Hauptspeicher wirken (H-, C-, R-, Y-Befehle), wird W^* in $\phi 4$ (W) in Schnellspeicher 1 bzw. 2 geschrieben:

$$W1' = \dots + W^* W \underline{Q5} \underline{Q8}$$

$$W2' = \dots + W^* W \underline{Q5} \underline{Q8}$$

Gleichzeitig wird die Schreiberlaubnis W^* unterbunden und verhindert ein Schreiben von W^* in den Hauptspeicher:

$$W^* = W (\underline{Q5} \underline{Q8} + \underline{Q5} \underline{Q8})$$

Ein Puffer

Der Umlauf für Schnellspeicher 1 bzw. 2 erfolgt über

$$Sp1 = W1' = \dots + R1 (\underline{Q5} + \underline{Q8} + W)$$

$$Sp2 = W2' = \dots + R2 (\underline{Q5} + \underline{Q8} + W)$$

Bei Schnellspeicherbefehlen, die vom Schnellspeicher zum Akku wirken (B-, D-, M-, N-, E-, A-, S-Befehle), wird die Information vom Hauptspeicher (V) unterdrückt:

$$V1 = \dots + V (\underline{S2} + \underline{Q9}) (\underline{Q5} \underline{Q8} + \underline{Q5} \underline{Q8}).$$

Statt dessen wird die Information von Schnellspeicher 1 bzw. 2 entsprechend den Befehlen logisch mit dem Akkuinhalt verknüpft:

$$V1 = \dots + R1 \underline{Q5} \underline{Q8} + R2^* \underline{Q5} \underline{Q8}$$

Schn-sp. 1 *Schn-sp. 2*

3. Index-Register:

Schnellspeicher 1 kann zusätzlich auch als Indexregister verwendet werden. Dazu werden noch 3 Flip-Flops benötigt (Karte 3fach-Flip-Flop 3):

einer, der das Index-Bit markiert (S6), ein Übertrags-Flip-Flop für die Additionslogik (U) und ein Flip-Flop, der die Zeit der Indizierung angibt (Q9). *[S6, Q9] und [U] für Index*

Für die Indizierung kommt nur die Adresszeit - also S2-Zeit - in Frage. Man kann also das Bit vor der S2-Zeit als "Index-Bit" ausnutzen.

X =	00	01	02	03	04	05	06	07	08	09
-----	----	----	----	----	----	----	----	----	----	----

Dieses Exemplar wird bei der Originalzeichnung nicht mit
Ausgabe am: 17. April 1967

24. II. 66

Zahl

Eurocomp GmbH ELEKTRONISCHE RECHENANLAGEN Minden (Westf.)	Funktionsbeschreibung für EC 84/3 I	88 028 Db 1-x (4)
		besteht aus 4 Bl. Blatt

- Arbeitsweise -

(Technische Beschreibung)

Zweck

Die Schnellspeicher ermöglichen die Zwischenspeicherung einzelner Worte mit Zugriffszeit Null sowohl beim Schreiben als auch beim Lesen.

Das Indexregister ermöglicht die Addition einer Konstanten zur Operandenadresse eines besonders gekennzeichneten (indizierten) Befehls kurz vor der Befehlsausführung.

Damit können Programmschleifen wesentlich besser optimiert werden, da sowohl die Anzahl der Befehle als auch die Ausführungszeit erheblich reduziert werden. Insbesondere kommt die bei Benutzung von Modell 81 mögliche Geschwindigkeitssteigerung beim Arbeiten im "tag mode" erst bei gleichzeitiger Benutzung auch der Schnellspeicher und des Indexregisters voll zur Wirkung (siehe auch Programmbeschreibung DS-EC-84-6604).

Beschreibung der Logik

Für die Anwahl der Schnellspeicherregister wird das 128er Bit der Speicheradresse benutzt. Dieses Bit wird durch den T_4 Flip-Flop entschlüsselt. T_4 gibt die Adressenzeit S_2 um 1 Bit nach links verschoben wieder. Damit gilt für die Entschlüsselung dieser Adressenstelle:

$$\text{Bit 128} = T_4 S_2$$

$$T_4' = S_2$$

$$\underline{T_4'} = \underline{S_2}$$

Befehlsablauf (Phasensteuerung)

Der Befehlsablauf bei Benutzung der Schnellspeicher entspricht in der Phase 1 und Phase 2 dem normalen Ablauf.

Phase 1 : Suche den Speicherplatz, der im Zählregister angegeben ist.

Phase 2 : Bringe den Inhalt des in Phase 1 gefundenen Speicherplatzes in das Befehlsregister und addiere 1 zum Zählregister.

Phase 3 : Suche den Speicherplatz des Operanden, dessen Adresse im Befehlsregister angegeben ist. Entschlüssele den Befehl.

Im Gegensatz zum normalen Ablauf der Phase 3 kann diese auf eine Wortzeit begrenzt werden, wenn die Operandenadresse einen Schnellspeicher anwählt, da der Inhalt der Schnellspeicher in jeder Wortzeit zur Verfügung steht. Die Begrenzung der Phase 3 auf eine Wortzeit geschieht durch das Einsetzen einer entsprechenden Sektoradresse.

Phase 4 : Führe den Befehl, der im Befehlsregister steht, aus.

Anwahl der Schnellspeicher

Wird in der Phase 3 eine Schnellspeicheradresse (80xx ; 82xx ; 84xx oder 86xx) entschlüsselt, so wird der entsprechende Anwahl-Flip-Flop für das Schnellspeicherregister gesetzt:

$$FS1' = F \underline{G} \underline{H} R \text{ SSA } T4 \underline{S2} \underline{P5} \underline{P6}$$

$$FS2' = F \underline{G} \underline{H} R \text{ SSA } T4 \underline{S2} \underline{P5} \underline{P6}$$

$$FS2' = F \underline{G} \underline{H} R \text{ SSA } T4 \underline{S2} \underline{P5} \underline{P6}$$

$$FS2' = F \underline{G} \underline{H} R \text{ SSA } T4 \underline{S2} \underline{P5} \underline{P6}$$

$$\text{SSA} = \underline{P1} \underline{P2} \underline{P3} \underline{P4}$$

Am Ende der nachfolgenden Phase 4 wird der Anwahl-Flip-Flop wieder zurückgestellt.

$$\underline{FS1}' = F \underline{G} \underline{H} T3$$

$$\underline{FS2}' = F \underline{G} \underline{H} T3$$

$$\underline{FS3}' = F \underline{G} \underline{H} T3$$

$$\underline{FS4}' = F \underline{G} \underline{H} T3$$

Informationsfluß

Bei der Ausführung von H-, C-, R - oder Y-Befehlen wird die Information in der Phase 4 in das angewählte Schnellspeicherregister geschrieben.

$$SS1' = FS1 W Vw' +$$

$$SS2' = FS2 W Vw' +$$

$$SS3' = FS3 W Vw' +$$

$$SS4' = FS4 W Vw' +$$

Gleichzeitig wird die Schreiberlaubnis W^* , die das Schreiben in dem Hauptspeicher gestattet, unterdrückt.

$$W^* = W \underline{SS}$$

Nach Beendigung der Phase 4 eines der genannten Befehle läuft der Inhalt in dem Schnellspeicherregister um und zwar solange, bis er durch einen erneuten Befehl verändert oder gelöscht wird.

$$SS1' = SS1 (\underline{W} + \underline{FS1}) +$$

$$SS2' = SS2 (\underline{W} + \underline{FS2}) +$$

$$SS3' = SS3 (\underline{W} + \underline{FS3}) +$$

$$SS4' = SS4 (\underline{W} + \underline{FS4}) +$$

Bei Befehlen, bei denen der Informationsfluß vom Schnellspeicherregister zum Akkumulator gerichtet ist, wird bei dessen Anwahl die Information vom Hauptspeicher unterdrückt.

$$V^* = \underline{SS} V \underline{I} +$$

Indexregister

Das Schnellspeicherregister 1 (Adresse 80xx) kann zusätzlich als Indexregister benutzt werden. Zur Indizierung eines Befehls muß im Befehlswort an dem Platz zwischen der Sektoradresse und dem Spacer-Bit eine 1 stehen. Dieses Indexbit wird durch den Flip-Flop T_5 entschlüsselt.

$$U' = T3$$

$$\underline{U}' = U \underline{S2} +$$

$$T5' = U$$

$$\underline{T5}' = T5$$

Phasensteuerung

Die Phasensteuerung verläuft bei Benutzung des Indexregisters in den Phasen 1, 3 und 4 wie bei normalem Befehlsablauf.

Phase 1 : Suche den Speicherplatz, der im Zählregister angegeben ist.

Phase 2 : Bringe den Inhalt des in Phase 1 gefundenen Speicherplatzes in das Befehlsregister und addiere zum Adressenteil den Inhalt des Indexregisters. Addiere 1 zum Zählregister.

Bei der Indizierung eines Befehls wird in der Phase 2 während des Einschreibens in das Befehlsregister zur Adresse des Befehls der Inhalt des Schnellspeicherregisters 1 (Indexregister) hinzuaddiert. Für diese Addition enthält die Schnellspeicherkarte eine vollständige Additionslogik mit einem Übertrags-Flip-Flop.

Die Gleichungen für diesen Addierer lauten:

$$\begin{aligned}V &= I S2 \underline{U} \underline{SS1} V + I S2 \underline{U} \underline{SS1} \underline{V} + \\ &\quad I S2 \underline{U} \underline{SS1} \underline{V} + I S2 \underline{U} \underline{SS1} V + \\U' &= I S2 \underline{U} \underline{SS1} V + \\ \underline{U}' &= S2 \underline{U} \underline{SS1} \underline{V}\end{aligned}$$

Zur Identifizierung, daß ein mit einem Index gekennzeichneteter Befehl verarbeitet wird, wird der Index-Flip-Flop gesetzt:

$$\begin{aligned}I' &= \underline{F} G V T5 \\ \underline{I}' &= T3\end{aligned}$$

Am Ende der Phase 2 sind alle an der Indizierung beteiligten Flip-Flops wieder zurückgesetzt und der Inhalt der in Phase 1 gefundenen Hauptspeicherstelle steht um den Inhalt des Indexregisters erhöht im Befehlsregister.

Phase 3 : Suche den Speicherplatz des Operanden, dessen Adresse im Befehlsregister angegeben ist. Entschlüssele den Befehl.

Phase 4 : Führe den Befehl aus.

Umbau LGP-21 auf Schnellspeicher

80827

Folgende Leitungen an den Anschlußpunkten des Einschubes B ablöten und verlängern:

Punkt	Signal	Farbe
B-Lö-d7	W	sw/ws
B-Lö-d3	W	rs
B-Lö-d42	V	ge/rt
B-Lö-d39	V	sw
	—	

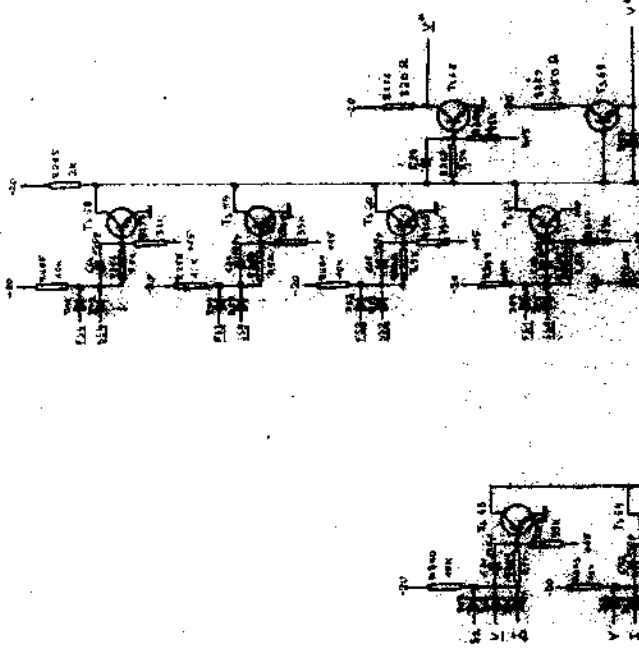
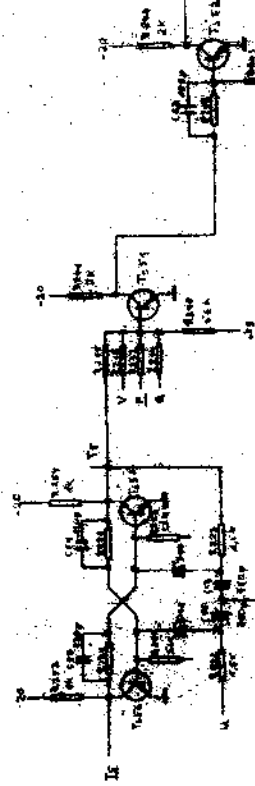
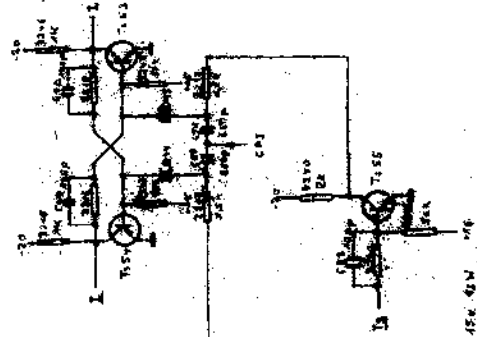
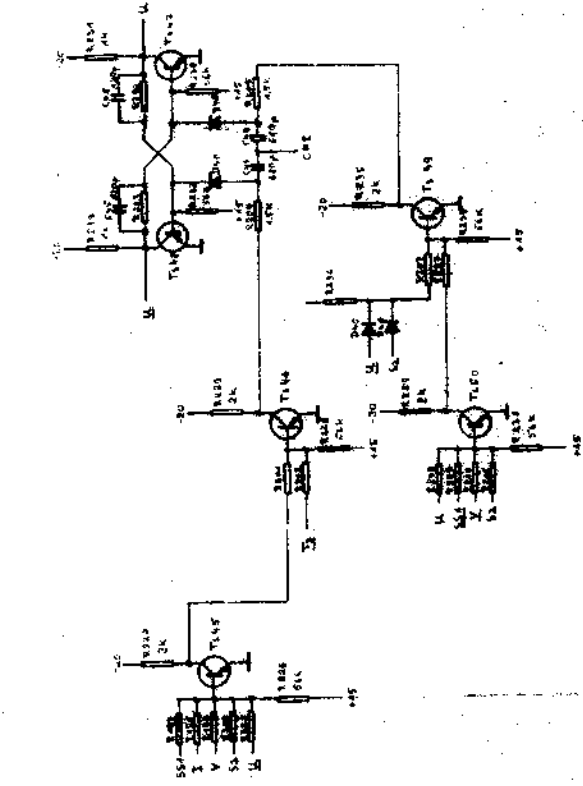
dann Verdrahtung an der Buchse 1 vom Einschub B an folgenden Punkten (Drähte) auftrennen:

Punkt	Signal
29	P ₃
30	P ₄
47 (17)	A*
46 (16)	A*
	—

dann die verlängerten Leitungen wie folgt anschließen:

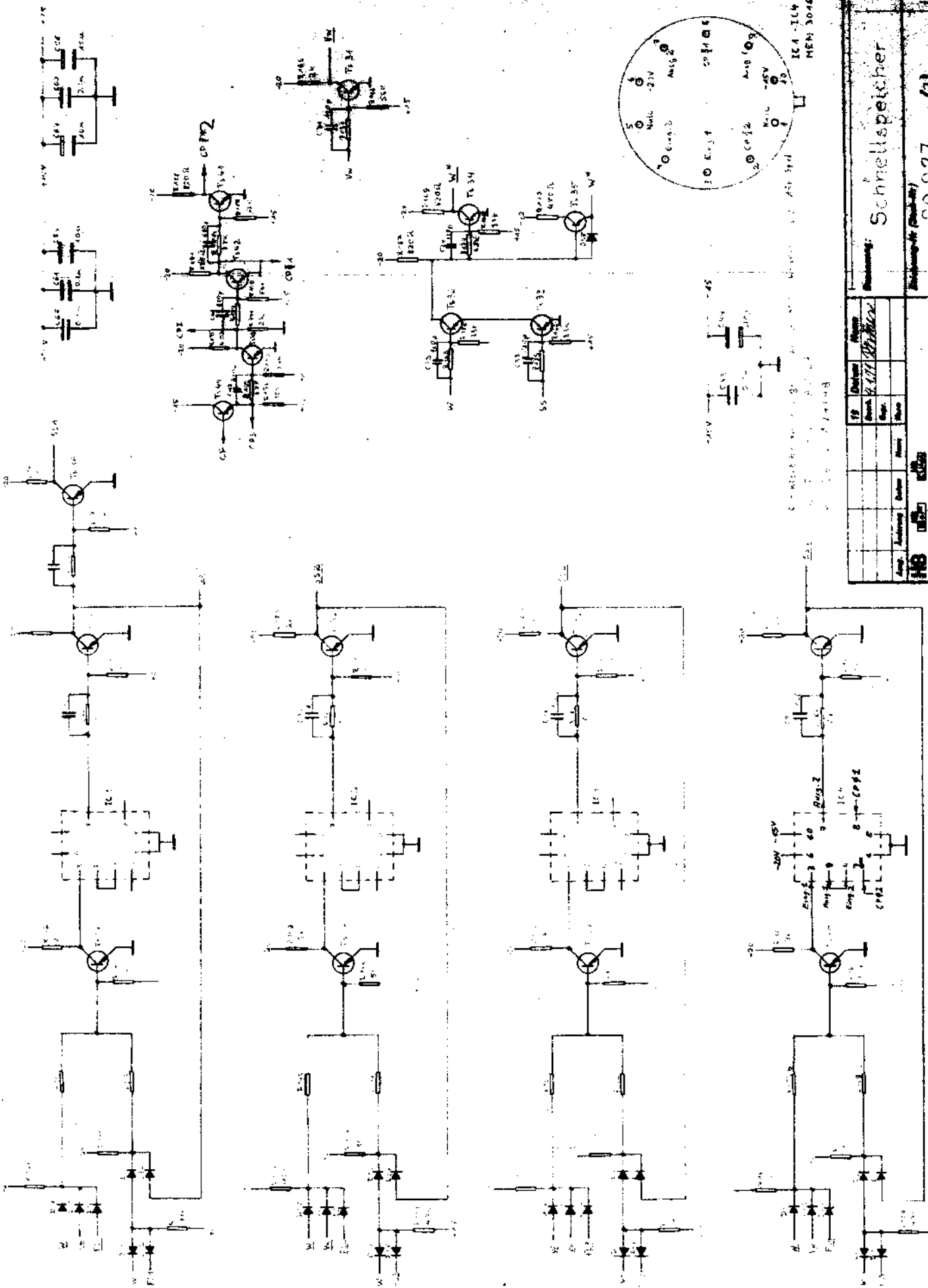
Farbe	Signal	Punkt	vorm. Sign
sw/ws	W	30	P ₄
rs	W	29	P ₃
ge/rt	V	46 (16)	A*
sw	V	47 (17)	A*
	—		

21 13 P3 14 22



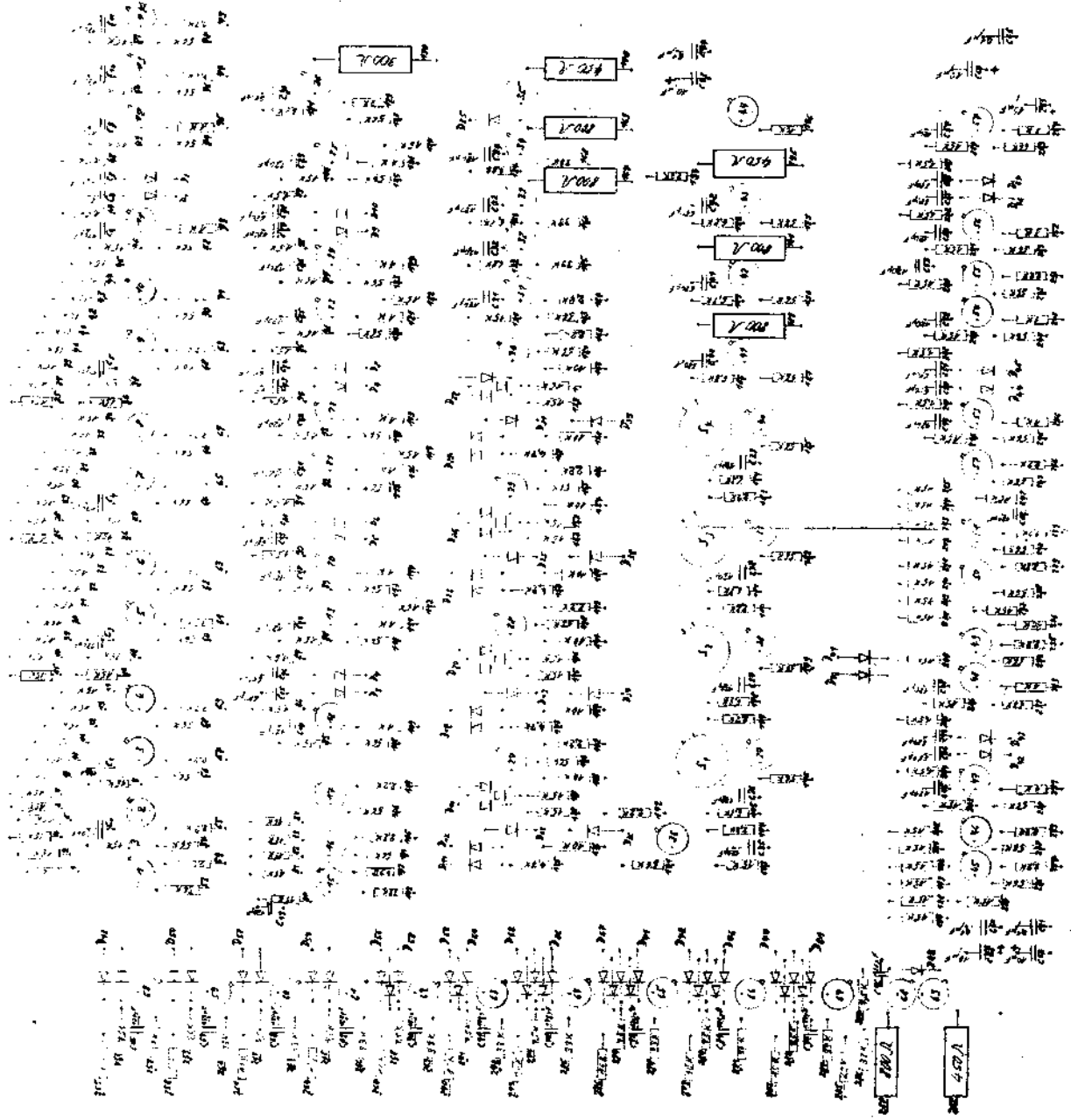
Alle nicht benutzten getrenntzunehmenden Widerstände 45k 40V 76
 obere Transistoren AS127
 AUR-DINARD 4N4148

Schnellspeicher		Blatt: 2	LGP 21
80 827		(A)	



19 October 1958
 20 11/11/58
 21
 22
 23
 24
 25
 26
 27
 28
 29
 30
 31
 32
 33
 34
 35
 36
 37
 38
 39
 40
 41
 42
 43
 44
 45
 46
 47
 48
 49
 50
 51
 52
 53
 54
 55
 56
 57
 58
 59
 60
 61
 62
 63
 64
 65
 66
 67
 68
 69
 70
 71
 72
 73
 74
 75
 76
 77
 78
 79
 80
 81
 82
 83
 84
 85
 86
 87
 88
 89
 90
 91
 92
 93
 94
 95
 96
 97
 98
 99
 100

Schnellspeicher
 Schnellspeicher (Pulsbetrieb)
 80927 (3) Blatt 3
 ICA 114
 MEM 3046-2



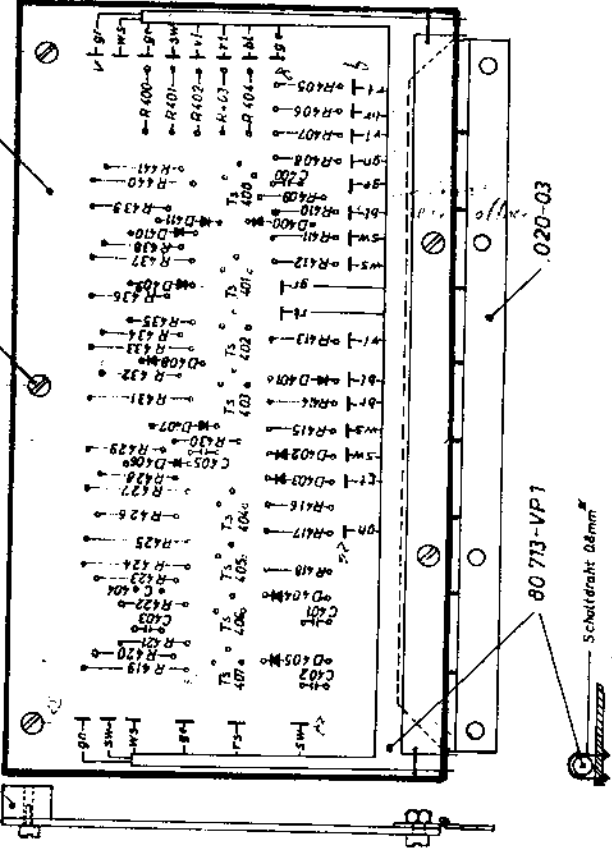
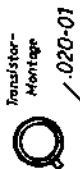
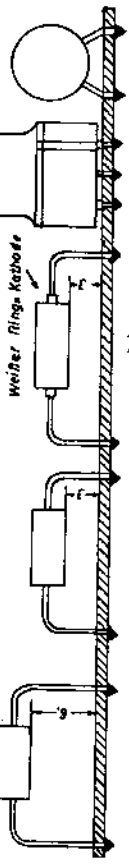
Schnellpoker
und

R	400	401	402	403	404	405	406	407	408	409
Ω	15k	15k	15k	15k	15k	15k	15k	15k	15k	68k
R	410	411	412	413	414	415	416	417	418	419
Ω	15k	15k	15k	15k	15k	15k	24k	15k	24k	800
R	420	421	422	423	424	425	426	427	428	429
Ω	33k	24k	24k	33k	800	2k	56k	2k	33k	10k
R	430	431	432	433	434	435	436	437	438	439
Ω	68k	2k	56k	2k	56k	15k	10k	2k	56k	10k
R	440	441	442	443	444	445	446	447	448	449
Ω	2k	56k								



Alle Transistoren: N 652
 Alle Dioden: 1N 916
 C 400, 403, 405: 120 pF
 C 401, 402: 680 pF

MONTAGEHINWEISE M 21



X = 00 01 02 03 04 05 06 07 08 09

ZUSATZKARTE
 ZUSATZLOGIK 1

Eurocomp
 G. 445 B. H.
 ELEKTRONISCHE RECHENANLAGEN

80713.020-00 X 4

Logische Gleichungen

Mod. 81

$SF' = F \underline{G} T3 \underline{Q1} \underline{Q2} \underline{Q3} \underline{Q4} P1 P2 P3 \underline{P4} \underline{P5} P6 \underline{Faf} \underline{be}$

$\underline{SF}' = F \underline{G} T3 \underline{Q1} \underline{Q2} \underline{Q3} \underline{Q4} P1 P2 P3 \underline{P4} \underline{P5} P6 \underline{Faf} \underline{be} + \text{brc}$

$g1 = F \underline{G} \underline{Q1} \underline{Q2} \underline{Q3} \underline{Q4} T3 \underline{Faf} \underline{be}$

$g2 = R P6$

$g3 = \underline{F} \underline{Faf}$

$g4 = F \underline{G} \underline{Sib} \underline{D4}$

$g5 = F \underline{G} T3 P6 \underline{Sib} \underline{Faf}$

$g6 = \underline{F} \underline{G} \underline{H} T3 St + F \underline{G} \underline{Q1} \underline{Q2} \underline{Q3} \underline{Q4} T3 R \underline{St}$

$g7 = P1 P2 P3 P4$

$St' = g1 \overset{\text{E2}}{g7} P5 \underline{P6} SF + F \underline{G} SF \underline{Sib} \underline{Faf+PG} \overset{-I_{b1}}{\text{E2}} \overset{\text{E2}}{\text{E2}} \overset{T-B1}{\text{E2}} \underline{Q1} \underline{Q2} \underline{Q3} \underline{Q4} A T3 SF \underline{Tc} +$
 $F \underline{G} \underline{H} R T3 SF \underline{Faf} \underline{be} (\underline{Q1} \underline{Q2} + \underline{Q1} \underline{Q2} \underline{Q3} \underline{Q4} + \underline{Q1} \underline{Q4} + \underline{Q1} \underline{Q3})$

$\underline{St}' = g6$

$\underline{Sib}' = g1 \overset{\text{Zurückgabe Spur!}}{g2}$

$\underline{Sib}' = g3 + b9$

$\underline{Sls}' = g1 g2 g7$

$\underline{Sls}' = g3$

$\underline{D2}' = F \underline{G}$

$\underline{D2}' = T3$

$\underline{D3}' = S2$

$\underline{D3}' = T3$

$\underline{D4}' = g5$

$\underline{D4}' = F \underline{G} T3$

$\underline{D5}' = g1 g2 g7 P5$

$\underline{D5}' = g3$

$\underline{L1}' = \underline{L1} \underline{I3} \underline{I4} + P3 \underline{D3} S2+A D5$

$\underline{L1}' = \underline{L1} \underline{I3} \underline{I4} \underline{D5} + F \underline{G} T3$

$\underline{I3} = P1 \underline{D2} \underline{D5}$

$\underline{I4} = P3 \underline{D3} \underline{Sls} + P4 \underline{D3} \underline{Sls} + A D5$

$\underline{ac1} = g4 \underline{L1} \underline{I3} \underline{I4} + g4 \underline{L1} \underline{I3} \underline{I4} + g4 \underline{L1} \underline{I3} \underline{I4} + g4 \underline{L1} \underline{I3} \underline{I4} +$
 $F \underline{G} A \underline{Sib} \underline{D4} + \dots$

$\underline{Gc} = \underline{Q2} g6 + \dots$

$\underline{Sg} = \underline{F} \underline{S3} St$

$\underline{Se} = \underline{F} \underline{G} \underline{H} S2 \underline{S3} S1 St$

$\underline{Smi} = g5 \underline{P1} \underline{P2} \underline{P3} P4 P5$

$\underline{Bl} = \underline{Sib} + \dots$

$\underline{CP1} = \underline{Gc}$

$\underline{CP2} = \underline{Gc}$

8. III. 66
Zettel

X =	00	01	02	03	04	05	06	07	08
-----	----	----	----	----	----	----	----	----	----

Eurocomp
 GmbH
 ELEKTRONISCHE RECHENANLAGEN
 Minden (Westf.)

Datenblatt
 (Zusatzlogik Modell 81)

80 713 Db1-x()
 besteht aus 1 Bl. Blatt

Funktionsbeschreibung

Mod. 81

Sequence Tag-Mode (STM) wird aktiviert durch P 5700 und aufgehoben durch P 5900 oder Drücken der Taste Füllen/Löschen

SF' = F G T3 Q1 Q2 Q3 Q4 P1 P2 P3 P4 P5 P6 Faf be

SF' = F G T3 Q1 Q2 Q3 Q4 P1 P2 P3 P4 P5 P6 Faf be

Ist der Flip-Flop SF gesetzt, kann durch eine Reihe von negativen Befehlen und dem + I 6200 (6 Bit links schiften) ein weiterer Flip-Flop (St - Flip-Flop) gesetzt werden, der bewirkt, daß die Phase 1 auf eine Wortzeit begrenzt wird. Die einzelnen Befehle werden im folgenden noch aufgeführt.

Die durch die Änderung auf dem Rechenwerk veränderte logische Gleichung für Cw' lautet:

Cw' = + Se + Smi + G S2 C brc Sa

Se = F G H SF S2 S3 S1 Sa = F S3 St

Ist also der St-Flip-Flop gesetzt worden, wird in Phase 1 während der S2 S3 - Zeit (Zellen - oder Sektor-Zeit) der Inhalt von S1 in C geschrieben. Das ist aber gerade die Sektoradresse der folgenden Zelle, in der dann der nächste Befehl stehen muß. Sa verhindert den normalen C-Umlauf in Phase 1 während der Sektorzeit; der Spur-teil (S2 S3) ist durch Sa über den normalen Ausdruck wieder freigegeben.

Cw' = + G S2 C brc Sa = + G S2 C brc (F + S3 + St)

Die Phase 2 wird über G' = + Gc und

Gc = Q2 g6 Ende Phase 1 eingeleitet.

St' = g6 = F G H T3 St +

Q2 ist über Q2' = + F G Q1 Q2a (Q1+Q3+Q4+P1+P2+Q3+Q4+P5+P6) erfüllt, g6 erfolgt mit St Ende Phase 1

Es sei ausdrücklich darauf hingewiesen, das STM auch in Einzeloperation durchgestept werden kann. Q2 und G werden dann über die normale Logik gesetzt.

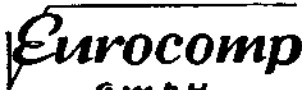
Q2' = + F G H bs

G' = + G H T3 K Ga Q2 be bs

Bei gesetztem SF-Flip-Flop (STM aktiviert) wird die Phase 1 durch folgende Befehle auf eine Wortzeit begrenzt:

X=	00	01	02	03	04	05	06	07	08
----	----	----	----	----	----	----	----	----	----

16. III. 66
Ziel

 Eurocomp GmbH ELEKTRONISCHE RECHENANLAGEN Minden (Westf.)	Funktionsbeschreibung (Zusatzlogik Modell 81)	80 713 Db 3-x(1)
		besteht aus 5 Bl. Blatt 1

$\bar{I}_3 \downarrow$
 a) $St' = \dots + F G H SF RT3$ be $Faf (Q1 Q2 + Q1 Q2 Q3 Q4 + Q1 Q3 + Q1 Q4)$
 also Ende Phase 3 mit SF und - Befehl (RT3)

$(Q1 Q2 + \dots)$: -H, -C, -A, -S - Befehl

$(Q1 Q2 Q3 Q4 + \dots)$: -E - Befehl

$(Q1 Q3 + \dots)$: -Y, -R, -N, -M - Befehl

$(Q1 Q4 + \dots)$: -B, -R, -D, -M - Befehl

*Über den 1-Befehl kann
 nicht normal!*

Zusammengefaßt : -B, -Y, -R, -D, -N, -M, -E, -H, -C, -A, -S-Befehl

Man kann eine 1 setzen für diese Befehle
 Die entsprechenden positiven Befehle lassen den Rechner auch bei aktiviertem STM normal (18 WZ) arbeiten.

b) $St' = \dots + F G SF Q1 Q2 Q3 Q4 T3 A Tc$

Der + T-Befehl setzt bei einer 1 im Akku zur $T3$ - Zeit den St-Flip-Flop. Der - T-Befehl setzt St jedoch Ende Phase 4 zurück.

$St' = g 6 = \dots + F G Q1 Q2 Q3 Q4 T3 R St$

Damit unterscheidet der + T - Befehl nur Akku ≥ 0 und Akku < 0 wie normal auch, der - T - Befehl dagegen Akku > 0 , Akku < 0 und Akku = 0:
 ist Akku > 0 , wird St gesetzt, der nächste Befehl liegt 4 WZ weiter,
 ist Akku = 0, wird St nicht gesetzt, der nächste Befehl liegt 18 WZ weiter, ist Akku < 0 , wird über $Q4' = \dots + T3 A Q1 Q2 Q3$ der Sprung ausgeführt.

Die folgende Tabelle gibt Aufschluß über alle Möglichkeiten mit + T-Befehl wieder. Dabei liegt der T - Befehl in P q.

STM	Sprung-Taste	Befehl	nächster Befehl in		
			Akku > 0	Akku = 0	Akku < 0
SF	$\frac{Tc}{Tc}$	+T	P (q+1) P (q+1)	P (q+1) P (q+1)	m n p n
	$\frac{Tc}{Tc}$	-T	P (q+50) m n	P (q+1) m n	m n m n
SF	$\frac{Tc}{Tc}$	+T	P (q+1) P (q+1)	P (q+1) P (q+1)	p n m n
	$\frac{Tc}{Tc}$	-T	P (q+1) m n	P (q+1) m n	m n m n

*) Bei $(q+50) > 63$ erfolgt kein Übertrag in P.

X = 00 01 02 03 04 05 06 07 08 09

16. III. 66
 Zebel

Eurocomp
 GmbH
 ELEKTRONISCHE RECHENANLAGEN
 Minden (Westf.)

Funktionsbeschreibung
 (Zusatzlogik Modell 81)

80 713 Db 3-x(4)

besteht aus 5 Bl. Blatt 2

c)

$$St' = \dots + g1 \ g7 \ P5 \ P6 \ SF$$

$$= \dots + F \ G \ \underline{1} \ \underline{2} \ \underline{3} \ \underline{4} \ T3 \ \underline{Faf} \ \underline{be} \ P1 \ P2 \ P3 \ P4 \ P5 \ \underline{P6} \ SF$$

d.i. $\underline{+ I 6200}$ (6-Bit-4-Bit links schiften)

d)

$$St' = \dots + F \ G \ SF \ Sib \ \underline{Faf}$$

Wobei $Sib' = g1 \ g2 = F \ G \ \underline{1} \ \underline{2} \ \underline{3} \ \underline{4} \ RT3 \ P6 \ \underline{Faf} \ \underline{be}$ ist, Sib wird also durch alle ungeraden negativen I-Befehle gesetzt. St wird nur dann in Phase 4 gesetzt, wenn mit einem ungeraden negativen I-Befehl keine Eingabe (Faf) verbunden ist.

$$Bl = \underline{Sib} + \dots$$

Durch die Änderung auf der Phasensteuerung erweitert sich der Ausdruck für $Ac1$ auf

$$Ac \ 1 = [F \ G \ \underline{1} \ (\underline{Faf} + \underline{1} \ \underline{2} \ \underline{3} \ \underline{4})(KP4 + K \ P6)] \ Bl + \dots$$

Ist Sib gesetzt, wird das $Ac \ 1$ durch das Bl über diesen normalen Weg unterbunden. Dafür tritt das $Ac \ 1$ der Karte Zusatzlogik 1 in Funktion.

$$Ac1 = g4 \ \underline{I3} \ \underline{I4} \ L1 + g4 \ I3 \ \underline{I4} \ L1 + g4 \ \underline{I3} \ I4 \ L1 + g4 \ I3 \ I4 \ L1 + F \ G \ Sib \ A \ D4$$

Multiplikation mit 10

erfolgt durch alle ^{alle ungerade} $-I (2n+1) 00$; $(2n+1)$ ist jede ungerade Spurnummer, die kein angeschlossenes Eingabegerät aufruft mit Ausnahme von $-I 6100$ und $-I 6300$.

Sib ist Ende Phase 3 gesetzt worden.

$g4 = F \ G \ Sib \ D4$ ist damit die ganze Phase 4 erfüllt.

$D2$ ist über $D2' = F \ G$ eine Bitzeit später als Anfang Phase 4 gesetzt.

$D3$ ist über $D3' = S2 \ 3$ Bitzeiten später als Anfang Phase 4 gesetzt.

$I \ 3 = P1 \ D2 \ \underline{D5}$ gibt den Akku um 1 Bit verzögert wieder,

$I4 = \dots + P3 \ D3 \ \underline{S1s}$ gibt den Akku um 3 Bit verzögert wieder.

$$Ac1 = g4 \ \underline{I3} \ \underline{I4} \ L1 + g4 \ I3 \ \underline{I4} \ L1 + g4 \ \underline{I3} \ I4 \ L1 + g4 \ I3 \ I4 \ L1 + \dots$$

addiert $I3$ und $I4$ in den Akku, wobei $L1$ als Übertrags-Flip-Flop fungiert über $L1' = \dots + \underline{L1} \ I3 \ I4$

X = 00 01 02 03 04 05 06 07 08

16. III. 66
Zsch

Eurocomp
GmbH
ELEKTRONISCHE RECHENANLAGEN
Minden (Westf.)

Funktionsbeschreibung
(Zusatzlogik Modell 81)

80 713 Db 3-x(4)

besteht aus 5 Bl. Blatt

1 Bit links schiften

Der Befehl -I 6100 setzt Sib und Sls

Sib' = g1 g2 = F G Q1 Q2 Q3 Q4 R T3 P6 Faf be

Sls' = g1 g2 g7 = F G Q1 Q2 Q3 Q4 R T3 P1 P2 P3 P4 P6 Faf be

Wie bei der Multiplikation mit 10 gibt I 3 über P1 den Akku um ein Bit verzögert wieder. In den Akku wird über den Ausdruck

Ac1 = + g4 I3 I4 L1 geschrieben.

Komplementieren

Der Befehl -I 6300 setzt Sib, Sls und D5

Sib' = g1 g2 = F G Q1 Q2 Q3 Q4 R T3 P6 Faf be

Sls' = g1 g2 g7 = F G Q1 Q2 Q3 Q4 RT3 P1 P2 P3 P4 P6 Faf be

D5' = g1 g2 g7 P5 = F G Q1 Q2 Q3 Q4 R T3 P1 P2 P3 P4 P5 P6 Faf be

In Phase 4 gibt I 4 = + D5 A den Akku über

Ac1 = + g4 I3 I4 L1 direkt wieder einschl. der ersten 1

Mit der ersten 1 in Akku wird L1 gesetzt

L1' = + A D 5

Sobald L1 gesetzt ist, gibt I 4 = + D5 A den Akku über

Ac1 = + g4 I3 I4 L1 invers wieder.

Eingabe und Binärisieren

Der Befehl -I 0100 (Tally) und - I 0300 (Flexo) setzt Sib. Da bei beiden Befehlen ein Faf = Ff = Ft gebildet wird, bleibt Sib solange gesetzt, bis in Phase 1 wieder Faf erfüllt ist.

Sib' = + Faf F = + g ³ X

16. III - 66

Zahl

X = 00 01 02 03 04 05 06 07 08 09

Eurocomp
GmbH
ELEKTRONISCHE RECHENANLAGEN
Minden (Westf.)

Funktionsbeschreibung
(Zusatzlogik Modell 81)

80 713 Db 3-x(4)

besteht aus 5 Bl. Blatt 4

Bei dieser Art Eingabe werden alle Bit-Kombinationen, die bei P6 eine 1 haben, überlesen:

$$D4' = g \ 5 = F \ \underline{G} \ T3 \ Sib \ P6 \ Faf$$

Mit D4 und Sib läuft der Akku direkt nun über

$$Ac \ 1 = \dots + F \ G \ Sib \ D4 \ A$$

Eine Ausnahme bildet das Minus-Zeichen:

$$0001 \ 11 \ \underline{P1} \ \underline{P2} \ \underline{P3} \ P4 \ P5 \ P6$$

Für den Akku hat das Zeichen keine Bedeutung, doch wird das Überlauf-Bit im Zähler geschrieben:

$$Cw' = \dots + Sni$$

$$Sni = 35 \ \underline{P2} \ \underline{P3} \ P4 \ P5 = F \ \underline{G} \ T3 \ Sib \ Faf \ \underline{P1} \ \underline{P2} \ \underline{P3} \ P4 \ P5 \ P6$$

"Input and binarize" ist praktisch eine Multiplikation mit 10 des Teiles, der schon im Akku steht und eine gleichzeitige Addition der "Einer"-Stelle (der Kombination von P1 bis P4). Für die Multiplikation mit 10 gilt also das oben Beschriebene. Die Addition der "Einer"-Stelle erfolgt während der ersten 3 Bits durch I 4 über

$$I4 = \dots + P4 \ \underline{S1s} \ \underline{D3}$$

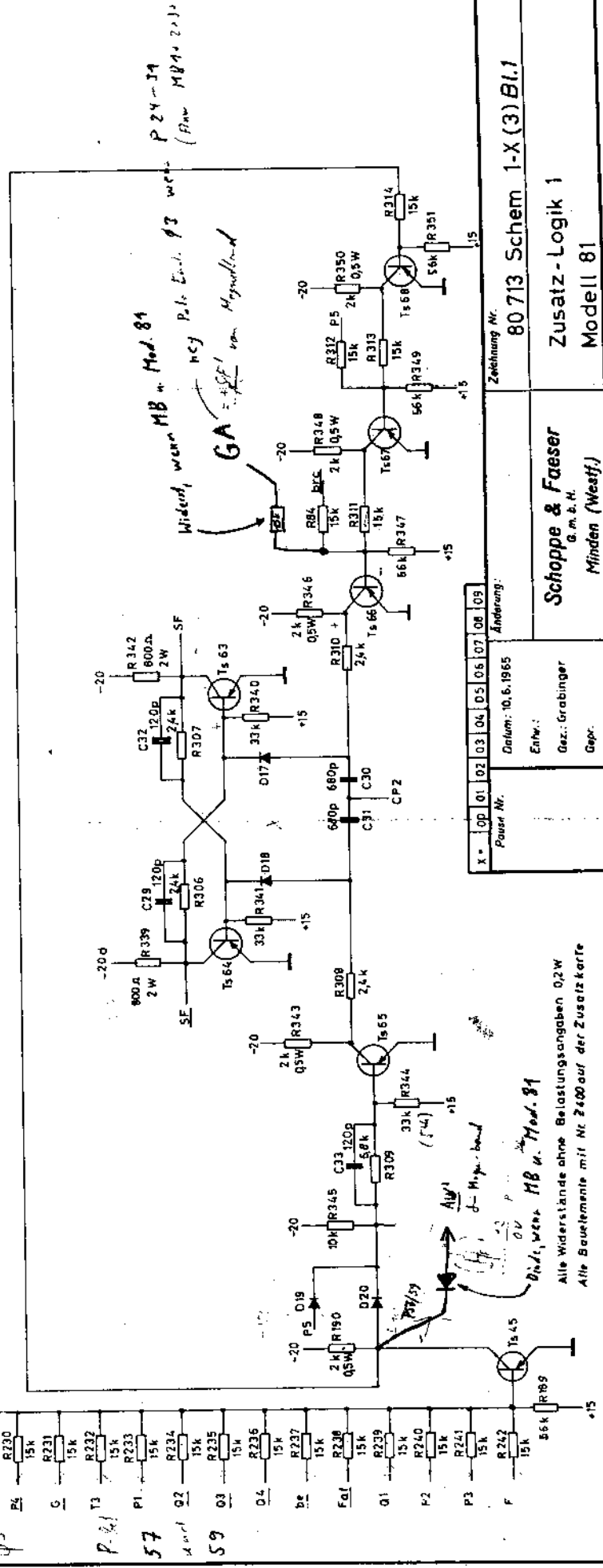
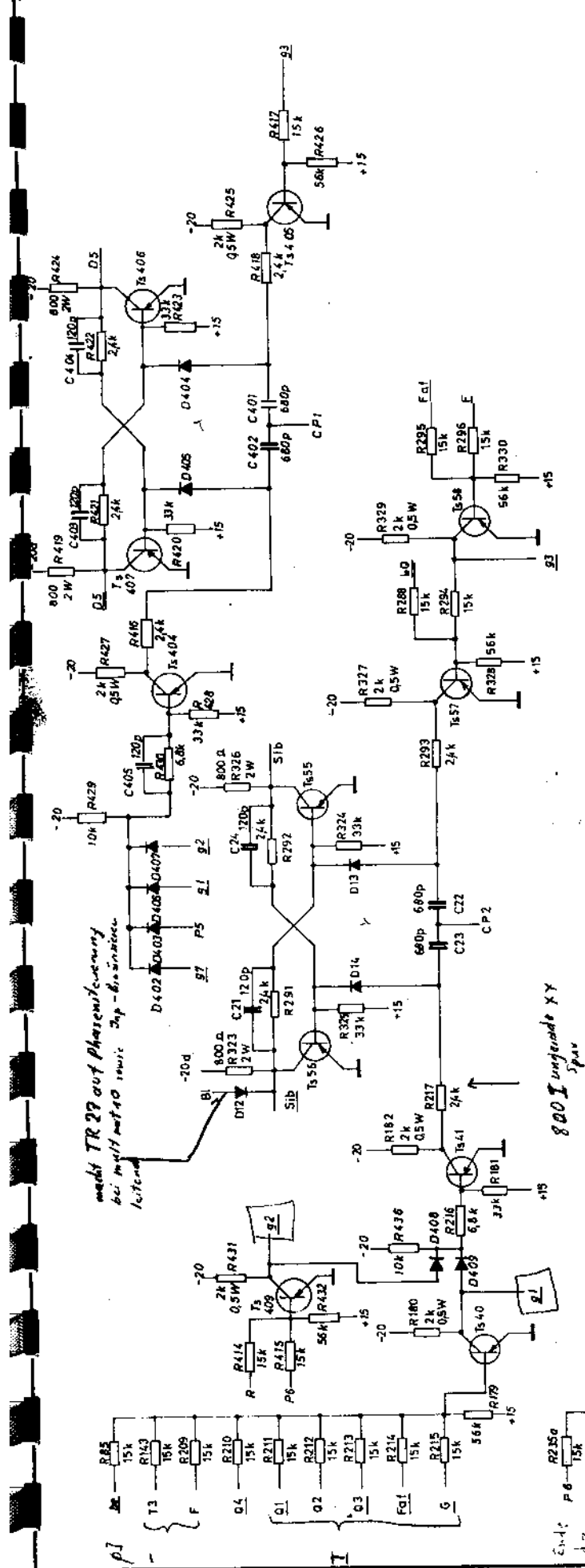
Da I4 aber durch D3' = S2 nach den 3. Bit von P4 auf P3 umschaltet (I4 = \dots + P3 \underline{S1s} \underline{D3}), wird das Bit, das in P1 gestanden hat (bei 8 od. 9) durch L1 übernommen.

$$L1' = \dots + P3 \ \underline{D3} \ S2$$

X=	00	01	02	03	04	05	06	07	08	09
----	----	----	----	----	----	----	----	----	----	----

16.11.66
del

Eurocomp GmbH ELEKTRONISCHE RECHENANLAGEN Minden (Westf.)	Funktionsbeschreibung (Zusatzlogik Modell 01)	80 713 Db 3-x(4)
		besteht aus 5 Bl. Blatt



X =									
00	01	02	03	04	05	06	07	08	09
Passiv Nr.									
Datum: 10.6.1965									
Entw.: Schoppe & Faeser									
Gez.: Grabinger									
Gepr.:									
Zelehrung Nr. 80713 Schem 1-X(3)BI.1									
Zusatz-Logik 1									
Modell 81									

P 24-34
(Flav MB u. Mod. 81)

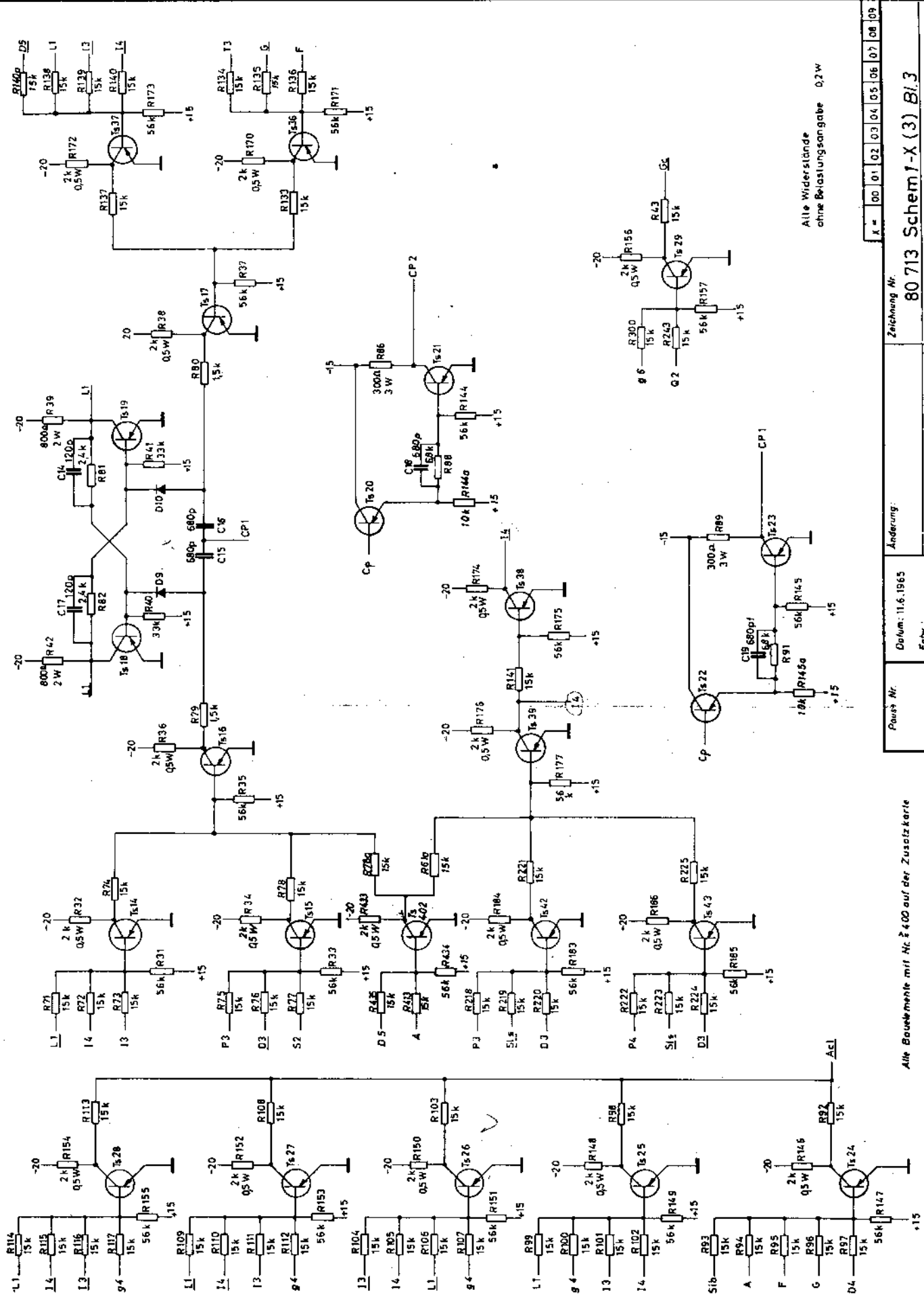
800 I umgekehrte XY Spax

wacht TR 27 auf Phasenschiebung bei mehr als 10 mV 2p-Biasniveau leitend

wichtig, wenn MB u. Mod. 81
GA = +5V! von Hauptboard

Diod., wenn MB u. Mod. 81

Alle Widerstände ohne Belastungsangaben 0,2W
Alle Bauelemente mit Nr. 2400 auf der Zusatzkarte

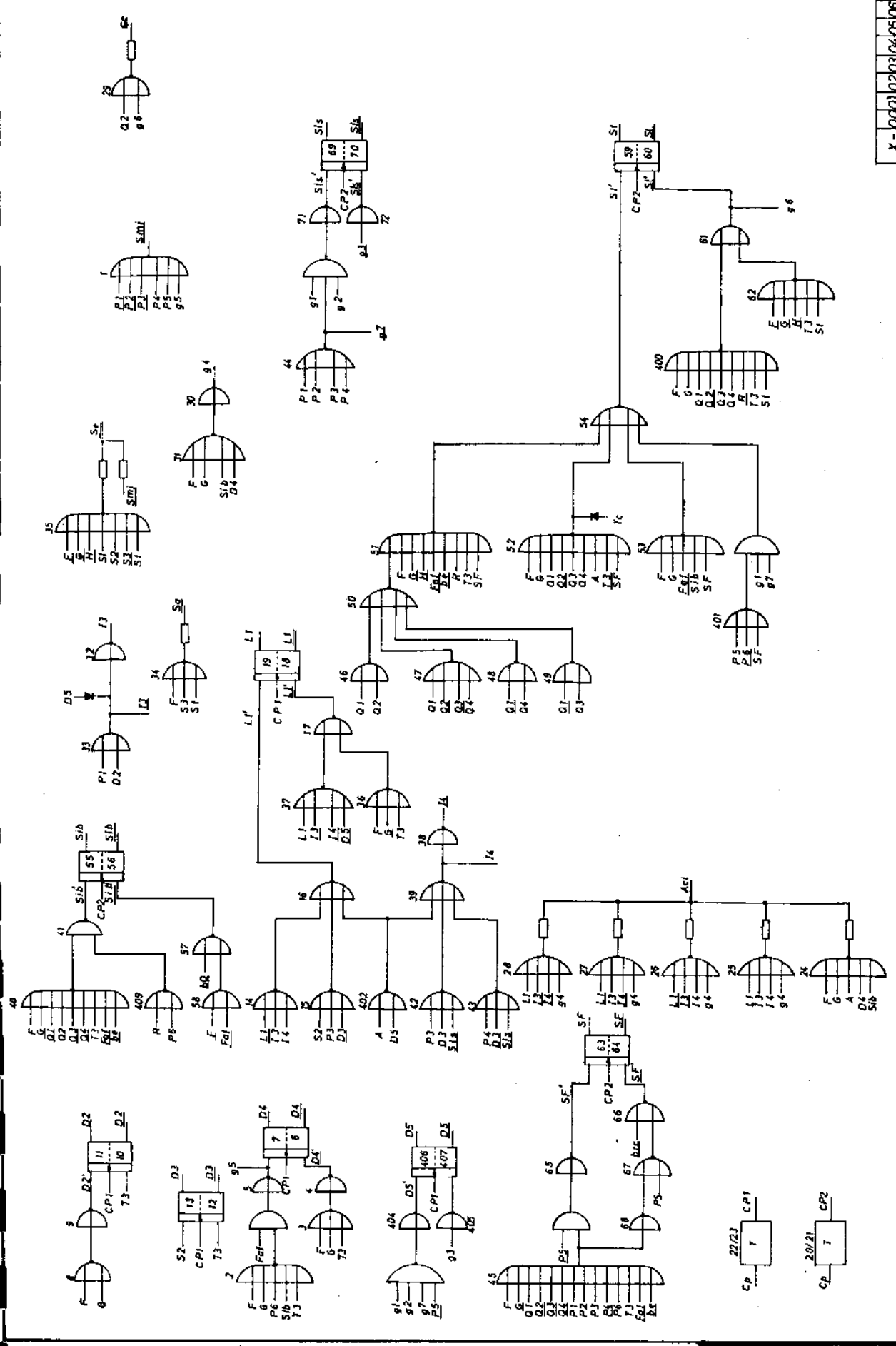


Alle Widerstände
ohne Belastungsangabe 0,2 W

Pausch Nr.	Datum: 11.6.1965									
	Entw.: Gaz. Grabinger									
Änderung:										
Zeichnung Nr. 80 713 Schem1-X (3) B1.3										
Zusatz-Logik 1										

Alle Bauelemente mit Nr. 2 400 auf der Zusatzkarte

Dieses Diagramm ist ein Teil der Dokumentation für das Projekt "Elektronische Rechenanlage" und ist urheberrechtlich geschützt durch die Eurocomp AG. Alle Rechte vorbehalten.



Änderung: Datum 19. 4. 66 Entw. H.H.H. Gez. H.H.H.		Auftrag: X=00010203040506070809	
Zeichnung-Nr. 80713 Schem 2-X (3)		Zusatzlogik 1 (Modell 81) (Blatt 1 von 1)	



Änderungen auf anderen Karten für Verwendung mit
Zusatzlogik Modell 81

1. Phasensteuerung

Löte Widerstand von
15 kOhm zwischen R 138 und R 139 (an Basis Ts 27) Signal B1
nicht erfolgt

2. Kommandowerk

Entferne R 138 (von Basis Ts 34) Signal S3 nicht erfolgt

3. Rechenwerk

a) Löte Draht von Basis Ts 83 nach Steckerpunkt Se
Se liegt gegenüber C und zwischen Tc und Q16 nicht erfolgt

b) Löte Draht von Basis Ts 74 nach Steckerpunkt Sa
Sa liegt gegenüber P4 und zwischen S1 und To nicht erfolgt

3.3.66
Zehl

X = 00 01 02 03 04 05 06 07 08 0

Eurocomp
G m b H
ELEKTRONISCHE RECHENANLAGEN
Minden (Westf.)

Änderungen anderer
Karten

80 713 Sk1-X (4)

besteht aus 1 Bl. Blatt 1

Änderungen auf anderen Karten für Verwendung mit Zusatzlogik Modell 81

1. Phasensteuerung (80570)

Löte Widerstand von 15 kOhm zwischen R 138²⁷ und R 139 (an Basis Ts 27) Signal Bl
Widerstand hinaus

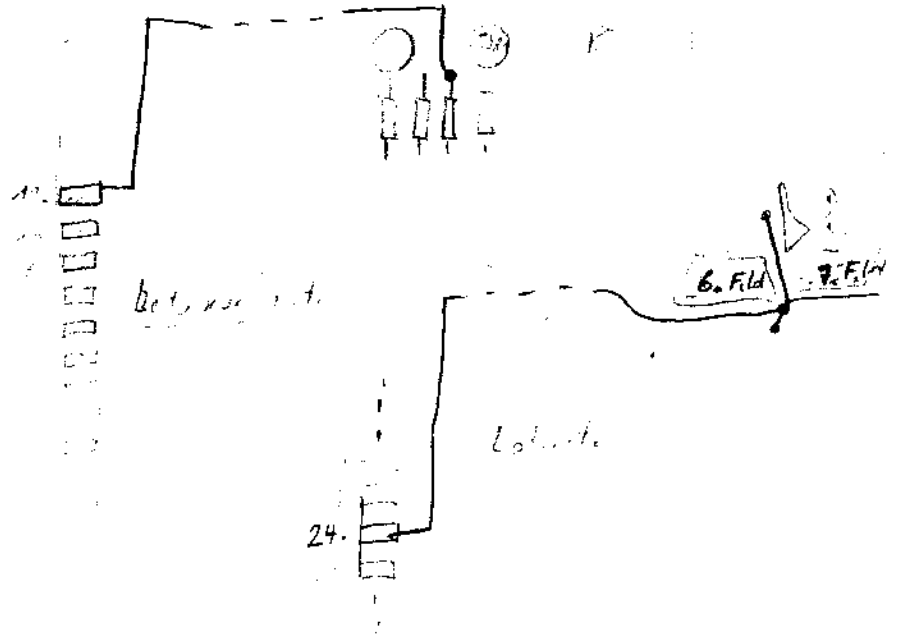
2. Kommandowerk (80572)

Entferne R 138 (von Basis Ts 34) Signal S3

3. Rechenwerk (80571)

a) Löte Draht von Basis Ts 83 nach Steckerpunkt Se
Se liegt gegenüber C und zwischen Tc und Q16

b) Löte Draht von Basis Ts 74 nach Steckerpunkt Sa
Sa liegt gegenüber P4 und zwischen S1 und To



X=	00	01	02	03	04	05	06	07	08
----	----	----	----	----	----	----	----	----	----

3.3.66
Zabel

Eurocomp
GmbH
ELEKTRONISCHE RECHENANLAGEN
Minden (Westf.)

Änderungen anderer
Karten

80 713 Sk1-X (4)

besteht aus 1 Bl. Blatt

Zusatzlogik Modell 81

Diese Zusatzlogik erlaubt :

1. Schärferes Optimieren und damit höhere Rechengeschwindigkeit für Standardbefehle (bis 32 Befehle pro Umdrehung).
2. Erhöhte Ein- und Ausgabe-Geschwindigkeit (Faktor 3).
3. Eine Dreiwege-Testverzweigung.

Zu 1.

Die Anordnung der Sektoren und ihre Numerierung auf der Scheibe ist auf der Optimierungsscheibe und in der Programmieranleitung für den LGP-21 zu ersehen. Ohne Zusatzlogik wird der nächste Befehl 18 Wortzeiten - bzw. 9 Wortzeiten beim LGP-21 s - später als der vorhergehende ausgeführt. Die Zusatzlogik "Modell 81" ermöglicht es nun, diese normale Befehlsfolge, bei der immer 18 Wortzeiten zwischen zwei Befehlen verstreichen, zu unterbrechen und den nächsten Befehl sofort nach Ausführung des vorhergehenden (meistens 4 Wortzeiten) zu legen. Es leuchtet ein, daß damit eine erhebliche Steigerung der Arbeitsgeschwindigkeit des Rechners möglich ist. Diese Arbeitsweise wird

P4000 SEQUENCE TAG MODE (STM)
P5700

genannt. STM wird durch den Befehl P5700 aktiviert und durch den Befehl P5900 wieder aufgehoben. Alle Befehle, die fortlaufend in STM ausgeführt werden sollen, müssen

- a) negative Befehle und
- b) auf ein und derselben Spur sein (Spur mit 128 Sektoren).

Punkt b) soll der besseren Verständlichkeit halber etwas näher erläutert werden :

Unter einer Spur ist dabei eine Spur mit 128 Sektoren zu verstehen und nicht die bei der Programmierung übliche Aufteilung einer Spur in eine gerade und eine ungerade mit je 64 Sektoren. Die Folgeadresse innerhalb solch einer Spur richtet sich mit Ausnahme der unter 2a) bis 2d) beschriebenen Befehle nach der Operandenadresse, wobei folgendes gilt :

Der nächste Befehl (ausgenommen M und N) muß auf dem geraden (oder ungeraden) Spurteil stehen, wenn die Operandenspur des vorhergehenden Befehls gerade (oder ungerade) ist.

Die Sektoradresse des Speicherplatzes des nächsten Befehls richtet sich immer nach dem Operandensektor des vorhergehenden Befehls. Bei den Befehlen, deren Phase 4 in einer Wortzeit ausgeführt wird ist dies die Zelle, die zwei Wortzeiten später vom Lesekopf gelesen wird. Bei den Befehlen M, N und D wird empfohlen, die Folgeadresse der Tabelle zu entnehmen. Die Operandenadresse selbst ist beliebig, aber natürlich möglichst optimal zu wählen.

Beispiel Steht in der Zelle 5338 der Befehl 800H6024, so wird in STM das Programm in Zelle 5217 fortgesetzt. Bringt man aber nach 5338 den Befehl 800H6124, dann ist die Adresse des nächsten Befehls die Zelle 5317.

Zu beachten ist hierbei folgende Ausnahme:
Steht in Zelle 63 des ungeraden Teils einer Spur (128 Sektoren) ein negativer Befehl, so liegt die Folgeadresse nicht mehr auf derselben, sondern auf dem entsprechenden Teil der nächsten Spur.

Beispiel a) Die Zelle 5963 enthält den Befehl 800I2300. Der nächste Befehl steht nun nicht in 5949, sondern in 6149.

b) Ebenso ist die Folgeadresse nicht 5349, sondern 5549, wenn in der Zelle 5363 der Befehl 800H3156 gespeichert ist.

Die folgenden Beispiele erklären die SEQUENCE TAG MODE ausführlich. Sie sollten mit einer Optimierungsscheibe nachgeprüft werden.

Normale Betriebsart :

1000	B1657	} 1/7 Umdrehung
1001	

SEQUENCE TAG MODE :

Beispiel 1)	1000	800B1657	} 1/32 Umdrehung
	1050	800A1643	
	1036	800H1629	
	1022	800A2615	
	1008	800S1801	
	1058	

In diesem Beispiel sind alle Operanden in die ersten optimalen Sektoren gelegt worden, wodurch die größtmögliche Geschwindigkeit erreicht wird. Meistens ist es jedoch weder notwendig noch möglich, die Operandenadressen derart scharf zu optimieren; d.h., die Operandenadresse kann frei gewählt werden, ist aber für den Speicherplatz des folgenden Befehls von Bedeutung. In STM muß immer der Speicherplatz des nächsten Befehls zwei Sektoren nach dem Operandensektor eines negativen Befehls folgen. Eine Ausnahme bilden hierbei die negativen I-, P- und Z-Befehle, sowie die Befehle 800M, 800N, 800D und 800T. Falls auch das nicht geht (weil z.B. der gewünschte Sektor in der Spur nicht mehr frei ist), so muß man durch Codierung von positiven Befehlen wieder in normale Betriebsweise zurückkehren oder einen Sprung in eine andere Spur ausführen.

Zu 2b) MULTIPLY BY TEN multipliziert den Inhalt des Akkumulators mit 10 ohne Änderung der Skalierung und ohne Überlaufanzeige. Dauer: 4 Wortzeiten in STM.

Zu 2c) LEFT SHIFt ONE schiebt den Inhalt des Akkumulators um 1 Stelle nach links ohne Überlaufanzeige. Dauer: 4 Wortzeiten in STM.

Zu 2d) KOMPLEMENTIERE bildet das Komplement einer im Akkumulator stehenden Zahl. Dauer: 4 Wortzeiten in STM.

Die Funktion dieser Zusatzbefehle (2a bis d) bleibt auch in der normalen Arbeitsweise erhalten. Die Zelle mit dem nächsten Befehl steht aber dann generell 18 Wortzeiten später.

Zu 3.

Der negative T-Befehl ermöglicht in STM eine Dreiwege-Verzweigung, wenn die Sprungtaste nicht gedrückt ist.

Es gilt folgende Regel :

Bei negativem Akkumulatorinhalt erfolgt ein Sprung zu der angegebenen Operanden-Adresse (1003 → 1006, siehe Beispiel 4). Enthält der Akkumulator ein positives Ergebnis, folgt der nächste auszuführende Befehl 4 Wortzeiten später (1003 → 1053). Ist der Inhalt des Akkumulators gleich Null, steht der nächste Befehl 18 Wortzeiten weiter, bei normaler Zählweise also in der nächsten Zelle (1003 → 1004).

Beispiel 4) Gegeben seien 2 Zahlen a und b. Ist ihre Differenz gleich Null, soll STM zurückgesetzt werden und der Rechner soll anhalten. Ist $a < b$ soll das Komplement nach 2015 gespeichert werden. Wenn $a > b$ ist, soll STM aktiv bleiben und das Ergebnis nach 3039 gespeichert werden.

1000	P5700	(STM ein)
1001	B1823	(a)
1002	S1824	(b)
1003	800T1006	
1004	P5900	(a = b) (STM aus)
1005	Z0000	(HALT)
1006	800I6300	(komplementiere a - b < 0)
1007	H2015	
1008	
1053	H3039	(a > b)
1054	

Bei gedrückter PST-Taste wird in STM genau wie in normaler Betriebsart unabhängig vom Akkumulatorinhalt ein Sprung zur Operandenadresse des negativen T-Befehls ausgeführt.

Zusatzlogik Modell 81

Negative Befehle in STM

Wie in den Beispielen 1, 2 und 3 bereits veranschaulicht wurde, muß der Speicherplatz des nächsten Befehls zwei Sektoren nach dem Operandensektor eines negativen Befehls folgen.

Das gilt für die Befehle :

800A, 800B, 800S, 800H, 800Q, 800Y, 800E und 800R*)

Negative Befehle, die von dieser Regel abweichen, werden im einzelnen wie folgt ausgeführt :

Nach den Befehlen 800I6200 (4 bit links schieben)
 800I6100 (1 bit links schieben)
 800I(2n+1)00 (Multiplikation mit 10)
 800I6300 (Komplementieren)

steht der nächste Befehl 4 Wortzeiten später als der vorhergehende. Enthält beispielsweise die Zelle 1050 den Befehl 800I2300 (Multipliziere mit 10), wird der darauffolgende Befehl aus der Zelle 1036 geholt.

Die Befehle 800I0000, 800I0100, 800I0200, 800I0300 sowie alle negativen Z- und P-Befehle werden auch in STM normal ausgeführt. Beinhaltet die Zelle 1050 einen dieser Befehle, so steht der nächste Befehl in 1051, also 18 Wortzeiten weiter.

68 Wortzeiten später als der Operandensektor steht bei dem 800D-Befehl die Folgeadresse, wenn STM aktiviert ist.

Bei den Befehlen 800M und 800N sind es 67 bzw. 65 Wortzeiten, die zwischen der Operandenadresse und der Zelle mit dem nächsten Befehl liegen.

Beispiel : 0301 800D2418
 0236 enthält den nächsten Befehl.

Bei einem 800M2418 in Zelle 0301 wäre der nächste Befehl in Zelle 0343.

Die Folgeadresse auf einen 800N2418 in 0301 wäre die Zelle 0350.

Um das Programmieren im STM zu erleichtern, gibt die beigefügte "Tabelle für die Folgeadressen im STM" für die negativen Befehle in Abhängigkeit von der Operandenadresse der negativen Befehle jeweils die richtige Folgeadresse an.

Der negative T-Befehl wurde bereits unter Punkt 3. ausführlich erklärt.

Anmerkung zu *)

Wird der negative R-Befehl in STM ausgeführt, so steht die Folgeadresse ebenfalls zwei Wortzeiten nach der Operandenadresse des negativen R-Befehls, die Rückkehradresse ist aber mit der in normaler Betriebsart gebildeten identisch.

Beispiel (STM ein) :

1000	800R0415	.	
1001		:	
1002		:	
.		.	0415 U [1002]
.		:	
.		:	
.		:	
1008	U0400	.	
.		.	
.		.	
.		.	

T a b e l l e
für die Folgeadressen in STM

LGP 21 Zusatzlogik Modell 81

Spalte 1 enthält die Operandenadressen
 Spalte 2 enthält die Folgeadressen für die neg.Befehle A, B, S, E, H, C, R, Y
 Spalte 3 enthält die Folgeadresse für -N
 Spalte 4 enthält die Folgeadresse für -M
 Spalte 5 enthält die Folgeadresse für -D

1	2	3	4	5	1	2	3	4	5
0000	0057	0132	0125	0018	0032	0025	0100	0157	0050
01	58	133	126	19	33	26	101	158	51
02	59	134	127	20	34	27	102	159	52
03	60	135	128	21	35	28	103	160	53
04	61	136	129	22	36	29	104	161	54
05	62	137	130	23	37	30	105	162	55
06	63	138	131	24	38	31	106	163	56
07	000	139	132	25	39	32	107	100	57
08	01	140	133	26	40	33	108	101	58
09	02	141	134	27	41	34	109	102	59
10	03	142	135	28	42	35	110	103	60
11	04	143	136	29	43	36	111	104	61
12	05	144	137	30	44	37	112	105	62
13	06	145	138	31	45	38	113	106	63
14	07	146	139	32	46	39	114	107	000
15	08	147	140	33	47	40	115	108	01
16	09	148	141	34	48	41	116	109	02
17	10	149	142	35	49	42	117	110	03
18	11	150	143	36	50	43	118	111	04
19	12	151	144	37	51	44	119	112	05
20	13	152	145	38	52	45	120	113	06
21	14	153	146	39	53	46	121	114	07
22	15	154	147	40	54	47	122	115	08
23	16	155	148	41	55	48	123	116	09
24	17	156	149	42	56	49	124	117	10
25	18	157	150	43	57	50	125	118	11
26	19	158	151	44	58	51	126	119	12
27	20	159	152	45	59	52	127	120	13
28	21	160	153	46	60	53	128	121	14
29	22	161	154	47	61	54	129	122	15
30	23	162	155	48	62	55	130	123	16
31	24	163	156	49	63	56	131	124	17

1	2	3	4	5	1	2	3	4	5
0100	0157	0025	0018	0118	0132	0125	0057	0050	0150
101	158	26	19	119	133	126	58	51	151
102	159	27	20	120	134	127	59	52	152
103	160	28	21	121	135	128	60	53	153
104	161	29	22	122	136	129	61	54	154
105	162	30	23	123	137	130	62	55	155
106	163	31	24	124	138	131	63	56	156
107	100	32	25	125	139	132	000	57	157
108	101	33	26	126	140	133	01	58	158
109	102	34	27	127	141	134	02	59	159
110	103	35	28	128	142	135	03	60	160
111	104	36	29	129	143	136	04	61	161
112	105	37	30	130	144	137	05	62	162
113	106	38	31	131	145	138	06	63	163
114	107	39	32	132	146	139	07	000	100
115	108	40	33	133	147	140	08	01	101
116	109	41	34	134	148	141	09	02	102
117	110	42	35	135	149	142	10	03	103
118	111	43	36	136	150	143	11	04	104
119	112	44	37	137	151	144	12	05	105
120	113	45	38	138	152	145	13	06	106
121	114	46	39	139	153	146	14	07	107
122	115	47	40	140	154	147	15	08	108
123	116	48	41	141	155	148	16	09	109
124	117	49	42	142	156	149	17	10	110
125	118	50	43	143	157	150	18	11	111
126	119	51	44	144	158	151	19	12	112
127	120	52	45	145	159	152	20	13	113
128	121	53	46	146	160	153	21	14	114
129	122	54	47	147	161	154	22	15	115
130	123	55	48	148	162	155	23	16	116
131	124	56	49	149	163	156	24	17	117